

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208527
 (43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/329
 H01L 21/265
 H01L 29/78
 H01L 21/336
 H01L 29/861

(21)Application number : 11-004176

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 11.01.1999

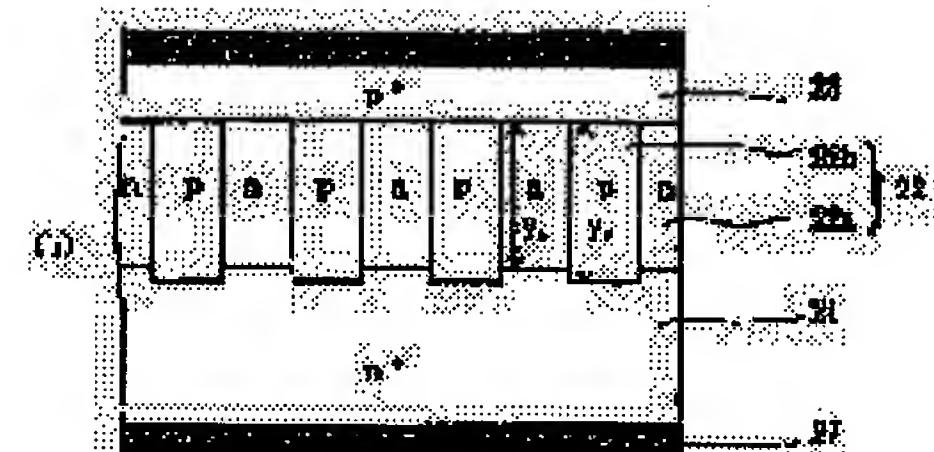
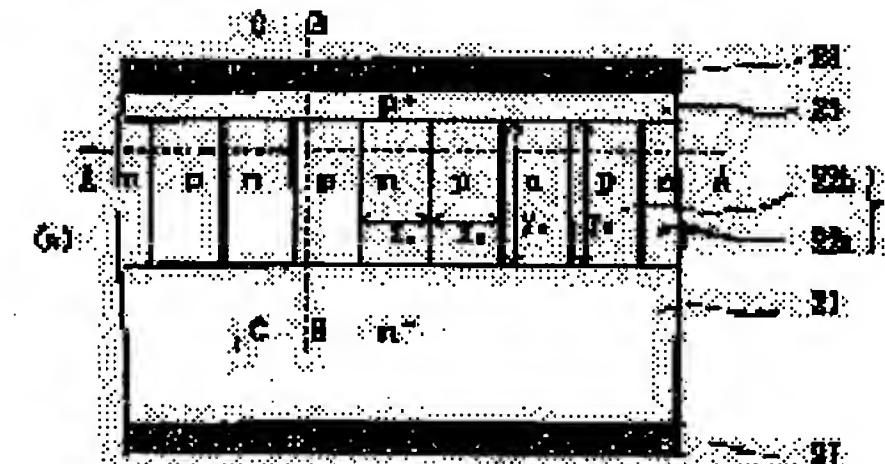
(72)Inventor : MIYASAKA YASUSHI
 FUJIHIRA TATSUHIKO

(54) MANUFACTURE OF SUPER-JOINT SEMICONDUCTOR ELEMENT AND THE SUPER-JOINT SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacture which can manufacture with superior mass productivity and readily super-joint semiconductor elements, in which a trade-off relation between an on-resistance and a breakdown voltage is improved and an increase in current capacity due to reduction in on-resistance is possible, irrespective of a high breakdown voltage.

SOLUTION: In this manufacturing method, in an on-state, a current flows, and in an off-state, at least one of a depleting n drift region 22a and p partition region 22b, for example, the p partition region 22b is formed with ion implantation, in particular, ion implantation in which an accelerating voltage continuously changes. Another region may be formed by epitaxial growth, or may be formed by diffusion of surface emptiness.



LEGAL STATUS

[Date of request for examination] 10.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-208527

(P2000-208527A)

(43)公開日 平成12年7月28日 (2000.7.28)

(51)Int.Cl.⁷

H 01 L 21/329
21/265
29/78
21/336
29/861

識別記号

F I

H 01 L 29/91
21/265
29/78
6 5 2 H
6 5 2 D

テーマコード(参考)

審査請求 未請求 請求項の数12 OL (全13頁) 最終頁に続く

(21)出願番号

特願平11-4176

(22)出願日

平成11年1月11日 (1999.1.11)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 宮坂 靖

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

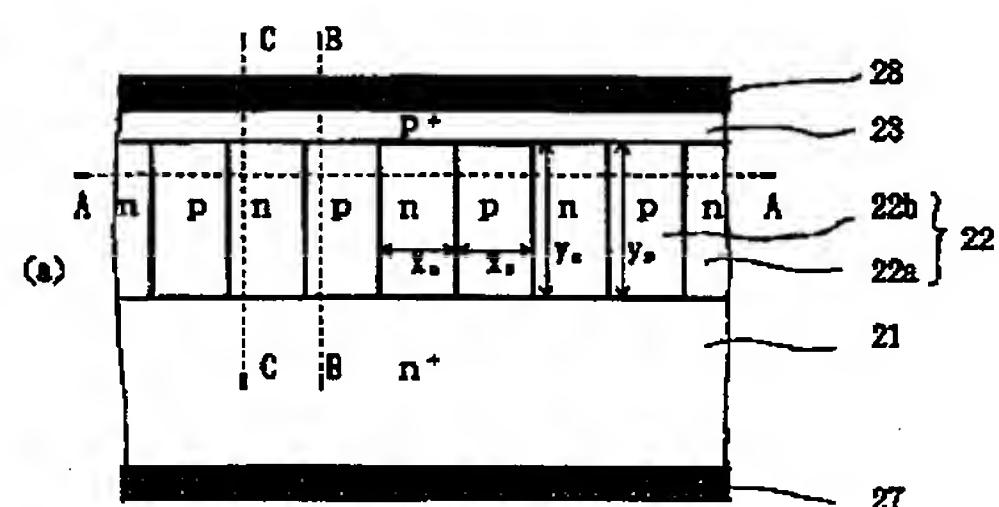
弁理士 棚部 正治

(54)【発明の名称】 超接合半導体素子の製造方法および超接合半導体素子

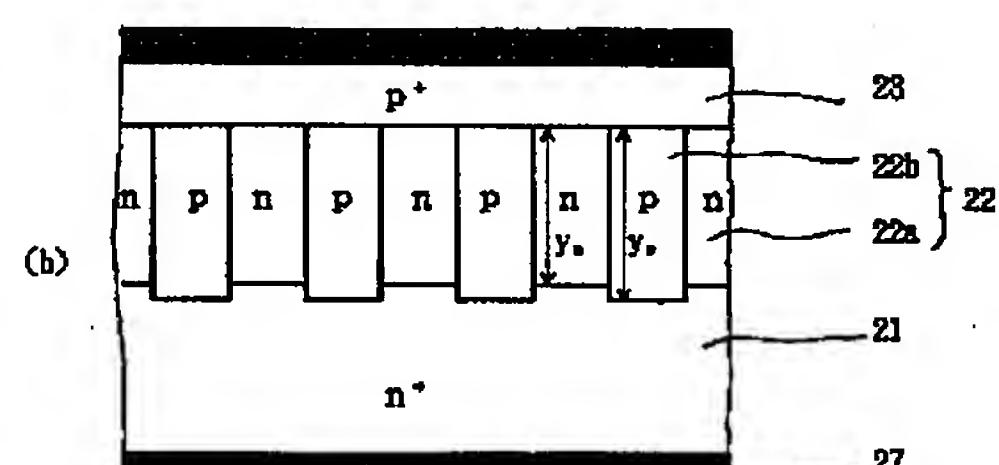
(57)【要約】

【課題】 オン抵抗と耐圧とのトレードオフ関係を改善し、高耐圧でありながらオン抵抗の低減による電流容量の増大が可能な超接合半導体素子の簡易で量産性良く製造し得る製造方法を提供する。

【解決手段】 オン状態では電流を流すとともに、オフ状態では空乏化するnドリフト領域22a、p仕切り領域22bのうち少なくとも一方、例えばp仕切り領域22bを、イオン注入、特に加速電圧を連続的に変えたイオン注入で形成する。他方の領域は、エピタキシャル成長により形成しても、表面空の拡散により形成しても良い。



21 n⁺ カソード層 27 カソード電極
22a n ドリフト領域 28 アノード電極
22b p 仕切り領域
23 p⁺ アノード領域



(2)

2

【特許請求の範囲】

【請求項 1】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域のうち少なくとも一方をイオン注入および熱処理により形成することを特徴とする超接合半導体素子の製造方法。

【請求項 2】前記イオン注入は、加速電圧を変えた多重イオン注入であることを特徴とする請求項 1 記載の超接合半導体素子の製造方法。

【請求項 3】前記イオン注入は、加速電圧を連続的に変えておこなうことを特徴とする請求項 2 記載の超接合半導体素子の製造方法。

【請求項 4】第一導電型ドリフト領域と第二導電型仕切り領域のうちの一方の領域となる層をエピタキシャル成長により形成した後、そのエピタキシャル成長により形成した層にイオン注入および熱処理により、他方の領域を形成することを特徴とする請求項 1 ないし 3 のいずれかに記載の超接合半導体素子の製造方法。

【請求項 5】第一導電型ドリフト領域と第二導電型仕切り領域のうちの一方の領域となる層を表面への不純物導入と熱拡散により形成した後、その拡散層へのイオン注入により他方の領域を形成することを特徴とする請求項 1 ないし 3 のいずれかに記載の超接合半導体素子の製造方法。

【請求項 6】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域との双方を表面層の近接した部分に不純物を導入し、熱拡散によりその両者の中間に接合を形成することを特徴とする超接合半導体素子の製造方法。

【請求項 7】第一導電型ドリフト領域および第二導電型仕切り領域の双方の接合深さ y_p が、幅 x より大きいことを特徴とする請求項 1 ないし 6 のいずれかの製造方法により製造された超接合半導体素子。

【請求項 8】第二導電型仕切り領域の接合深さ y_p が第一導電型ドリフト領域の接合深さ y_n より深いことを特徴とする請求項 7 に記載の超接合半導体素子。

【請求項 9】第二導電型仕切り領域の接合深さ y_p が第一導電型ドリフト領域の接合深さ y_n の 1.2 倍以下であることを特徴とする請求項 8 に記載の超接合半導体素子。

【請求項 10】第二導電型仕切り領域の下方に不純物濃度の低い第一導電型低不純物濃度層を有することを特徴

とする請求項 9 に記載の超接合半導体素子。

【請求項 11】第一導電型低不純物濃度層の厚さ t_n が第二導電型仕切り領域の接合深さ y_p より小さいことを特徴とする請求項 10 に記載の超接合半導体素子。

【請求項 12】主面が (110) 面であることを特徴とする請求項 7 ないし 10 のいずれかに記載の超接合半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な縦型構造を備えるMOSFET (絶縁ゲート型電界効果トランジスタ)、IGBT (絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタ、ダイオード等の半導体素子に関する。

【0002】

【従来の技術】相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の厚さを厚くしなければならず、一方そのように厚い高抵抗層をもつ素子では、必然的に両電極間の導通時の順電圧やオン抵抗等が大きくなり、損失が増すことになることが避けられなかった。すなわち順電圧やオン抵抗 (電流容量) と耐圧間にはトレードオフ関係がある。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0003】この問題に対する解決法として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の領域とを交互に積層した並列 p n 層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、EP0053854、USP5216275、USP5438215 および本発明の発明者らによる特開平9-266311号公報に開示されている。

【0004】図 18 は、USP5216275 に開示された半導体装置の一実施例である縦型MOSFET の部分断面図である。通常の縦型半導体素子では単一層とされるドリフト層 12 が n ドリフト領域 12a と p 仕切り領域 12b とからなる並列 p n 層とされている点が特徴的である。13 は p ウェル領域、14 は n⁺ ソース領域、15 はゲート絶縁膜、16 はゲート電極、17 はソース電極、18 はドレイン電極である。n ドリフト領域 12a と p 仕切り領域 12b のうちドリフト電流の流れるのは n ドリフト領域 12a であるが、以下では n ドリフト領域 12a と p 仕切り領域 12b とをドリフト層 12 と呼ぶことにする。

【0005】このドリフト層 12 は例えば、n⁺ ドレイン層 11 をサブストレートとしてエピタキシャル法により、高抵抗の n 型層を成長し、選択的に n⁺ ドレイン層 11 に達するトレンチをエッチングして n ドリフト領域

(3)

3

12aとした後、更にトレンチ内にエピタキシャル法によりp型層を成長してp仕切り領域12bが形成される。

【0006】なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

【0007】

【発明が解決しようとする課題】U.S.P. 5,216,275におけるディメンジョンの具体的な記述としては、降伏電圧を V_B とするとき、ドリフト層12の厚さとして $0.024V_B^{1.2} [\mu\text{m}]$ 、nドリフト領域12aとpドリフト領域12bとが同じ幅bをもち、同じ不純物濃度であるとすると、不純物濃度が $7.2 \times 10^{16} V_B^{-0.2} / b [\text{cm}^{-3}]$ であるとしている。仮に $V_B = 300\text{V}$ 、 $b = 5\mu\text{m}$ と仮定すると、ドリフト層12の厚さは $23\mu\text{m}$ 、不純物濃度は $4.6 \times 10^{15} \text{cm}^{-3}$ となる。単一層の場合の不純物濃度は 5×10^{14} 程度であるから、確かにオン抵抗は低減されるが、このような幅が狭く、深さの深い（すなわちアスペクト比の大きい）トレンチ内に良質の半導体層を埋め込むエピタキシャル法は現在のところ極めて困難な技術である。オン抵抗と耐圧とのトレードオフの問題は、横型半導体素子についても共通である。上に掲げた他の発明、E.P. 0 0 5 3 8 5 4、U.S.P. 5 4 3 8 2 1 5 および特開平9-266311号公報においては、横型の超接合半導体素子も記載されており、横型、縦型共通の製造方法として、選択的なエッティングおよびエピタキシャル法による埋め込みによる方法が開示されている。

【0008】しかし、縦型の超接合半導体素子に関しては、選択的なエッティングおよびエピタキシャル法による埋め込みは、U.S.P. 5,216,275と同じ困難を抱えている。特開平9-266311号公報においてはまた、中性子線等による核変換法が記載されているが、装置が大がかりになり、手軽に適用するわけにはいかない。

【0009】以上のような状況に鑑み本発明の目的は、順電圧やオン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながら順電圧やオン抵抗の低減による電流容量の増大が可能な超接合半導体素子の簡易で量産性良く製造し得る製造方法、およびその製造方法による超接合半導体素子を提供することにある。

【0010】

【課題を解決するための手段】上記の課題解決のため本発明は、第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域のうち少なくとも一方をイオン注入および熱処

4

理により形成するものとする。

【0011】イオン注入および熱処理は、ある導電型の領域を形成する一般的な製造方法であり、従来のアスペクト比の大きいトレンチへのエピタキシャル法により充填するような方法に比べ困難が少ない。特にイオン注入は、加速電圧を変えた多重イオン注入であるものとする。

【0012】このように加速電圧を変えて多重注入することによって、深さ方向に連続した領域の形成が可能になる。更に、加速電圧を連続的に変えてイオン注入をおこなうこととすれば、均一な幅をもつ深さ方向に連続した領域の形成が可能になる。

【0013】そして、イオン注入によって形成される一方の領域でない他方の領域の形成方法としては、エピタキシャル法によっても、同様のイオン注入法によっても、または表面からの不純物の拡散法によっても良い。

【0014】エピタキシャル法と表面からの不純物の拡散法の場合には、先にエピタキシャル層、または拡散層を形成した後、そのエピタキシャル層または拡散層にイオン注入および熱処理により、他方の領域を形成できる。イオン注入法の場合には、ほぼ同時にイオン注入をおこない熱処理して双方の領域を同時に形成できる。

【0015】第一導電型ドリフト領域と第二導電型仕切り領域との双方を表面層の近接した部分に不純物を導入した後、熱拡散により形成しその両者の中間に接合を形成する方法でもよい。表面層への不純物導入と熱拡散は最も一般的な方法であるが、両者を近接させて形成すれば、両者の中間に接合を持った双方の領域が形成できる。

【0016】上記のような方法で製造された超接合半導体素子としては、第一導電型ドリフト領域および第二導電型仕切り領域の双方の接合深さ y が、幅 x より大きいものとする。接合深さ y が、幅 x より大きければ、空乏層が第一導電型ドリフト領域および第二導電型仕切り領域の幅一杯に広がり易く、その後は下方に広がる。

【0017】第二導電型仕切り領域の接合深さ y_p が第一導電型ドリフト領域の接合深さ y_n より深いものとする。第二導電型仕切り領域の接合深さ y_p が、第一導電型ドリフト領域の接合深さ y_n より浅い場合には、第二導電型仕切り領域の下方に第一導電型の領域が残ることになり、残った第一導電型領域が完全に空乏化されず、耐圧が低下する恐れがある。

【0018】また、第二導電型仕切り領域の接合深さ y_p が第一導電型ドリフト領域の接合深さ y_n の1.2倍以下であるものとする。第二導電型仕切り領域の接合深さ y_p を極端に第一導電型ドリフト領域の接合深さ y_n より大きくすることは無駄である。第二導電型仕切り領域の下方に不純物濃度の低い第一導電型低不純物濃度層を有するもの、第一導電型低不純物濃度層の厚さ t_n が第二導電型仕切り領域の接合深さ y_p より小さいものと

(4)

5

する。

【0019】第一導電型低不純物濃度層はすなわち高抵抗層であり、順電圧やオン抵抗或いはオン電圧の増大につながる。特にその層が厚いと、空乏層が広がりやすく、広がった空乏層により電流経路が狭められるJ F E T効果を生じて、更に順電圧やオン抵抗等を増大させることになる。主面を(110)面とすれば、イオン注入の際のチャネリング現象を利用して、同じ加速電圧で通常の2倍以上の深さにイオン注入できる。

【0020】

【発明の実施の形態】以下に本発明の実施の形態を添付図面に基づいて説明する。なお以下でnまたはpを冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また⁺は比較的高不純物濃度の、⁻は比較的低不純物濃度の領域をそれぞれ意味している。

【実施例1】図1(a)は、本発明の実施例1の超接合ダイオードの主要部の部分断面図である。図に示した部分の他に周縁部に耐圧を担う部分があるが、その部分は一般的な半導体素子と同様のガードリング構造やフィールドプレート構造でよいので、ここでは省略する。

【0021】図1(a)において、21は低抵抗のn⁺カソード層、22はnドリフト領域22aとp仕切り領域22bとが形成されている。便宜上nドリフト領域22aとp仕切り領域22bを含めた並列pn層をドリフト層22と呼ぶこととする。表面層にはp⁺アノード領域23が形成されている。p⁺アノード領域23に接触してアノード電極28が、n⁺カソード層に接触してカソード電極27が設けられている。nドリフト領域22aおよびp仕切り領域22bは、平面的にはストライプ状である。

【0022】順バイアス時には、p⁺アノード領域23からnドリフト領域22aに正孔が注入され、またn⁺カソード層21からp仕切り領域22bに電子が注入され、ともに伝導度変調が起きて電流が流れる。

【0023】逆バイアス時には、空乏層がnドリフト領域22aとp仕切り領域22bとの並列pn層に広がり、空乏化することにより、耐圧を保持できる。特にnドリフト領域22aとp仕切り領域22bとを交互に形成することにより、nドリフト領域22aおよびp仕切り領域22b間のpn接合から空乏層が、nドリフト領域22aおよびp仕切り領域22bの幅方向に広がり、しかも両側のp仕切り領域22bおよびnドリフト領域22aから空乏層が広がるので空乏化が非常に早まる。従って、nドリフト領域22aの不純物濃度を高めることができる。

【0024】nドリフト領域22aとp仕切り領域22bとの幅(x_n、x_p)は、それぞれの深さ(y_n、y_p)より小さくなっている。このようにすれば、空乏層がnドリフト領域22aおよびp仕切り領域22bの幅

6

一杯に広がり易く、その後は下方に向かって広がるので、狭い面積で高耐圧を維持できる。なお、空乏化を促進するためには、x_n = x_p が望ましい。

【0025】図2(a)は、図1中のA-A線に沿っての不純物濃度分布図、同図(b)はB-B線に沿っての不純物濃度分布図、同図(c)はC-C線に沿っての不純物濃度分布図である。いずれも縦軸は対数表示した不純物濃度である。図2(a)においては、nドリフト領域22aとp仕切り領域22bとが交互に配置されている。nドリフト領域22aは、エピタキシャル層であるからほぼ均一な不純物濃度であり、一方p仕切り領域22bはイオン注入および熱処理により形成されているので、端の部分に濃度勾配が見られる。図2(b)においては、表面からの拡散によるp⁺アノード領域23に続きp仕切り領域22bのほぼ均一な濃度分布が見られ、更に低抵抗のn⁺カソード層21が現れている。図2(c)においても、表面からの拡散によるp⁺アノード領域23に続きnドリフト領域22aの均一な濃度分布、更に低抵抗のn⁺カソード層21が連続している。

【0026】例えば、300Vクラスのダイオードとしては、各部の寸法および不純物濃度等は次のような値をとる。n⁺カソード層21の比抵抗は0.01Ω·cm、厚さ350μm、nドリフト領域22aの幅(x_n)3μm、比抵抗0.3Ω·cm(不純物濃度2×10¹⁶cm⁻³)、ドリフト層22の厚さ10μm、p仕切り領域22bの幅(x_p)3μm(すなわち、同じ型の埋め込み領域の中心間隔6μm)、平均不純物濃度2×10¹⁶cm⁻³、p⁺アノード領域23の拡散深さ1μm、表面不純物濃度5×10¹⁹cm⁻³である。nドリフト領域22aとp仕切り領域22bとを交互に配置した並列pn層とをオフ状態で空乏化するためには、両領域の不純物量がほぼ等量であることが必要である。仮に一方の不純物濃度が他方の不純物濃度の半分であれば、倍の幅としなければならないことになる。従って、両領域は同じ不純物濃度とすると、同じ幅ですむので、半導体表面の利用効率の点から最も良いことになる。

【0027】図3(a)ないし(d)は、実施例1の超接合ダイオードの製造方法を説明するための工程順の断面図である。以下図面に沿って説明する。n⁺カソード層21となる低抵抗のn型のサブストレート上に、エピタキシャル法によりnドリフト領域22aを成長させる[図3(a)]。

【0028】CVD法によりタンゲステン膜を厚さ約3μmに堆積し、フォトリソグラフィにより第一マスク1を形成する[同図(b)]。イオン注入においては、マスクの幅より広い原子分布となるので、予め考慮する必要がある。

【0029】ほう素(以下Bと記す)イオン2aをイオン注入する[同図(c)]。加速電圧は100keV～10MeV間を連続的に変化させ、均等に約2×10¹⁶

(5)

7

cm^{-3} になるようにする。 2b は注入されたB原子である。

【0030】第一マスク1を除去した後、 p^+ アノード領域23を形成するためのBイオン2aを注入する【同図(c)】。加速電圧は100keV、ドーズ量は $3 \times 10^{15} \text{ cm}^{-2}$ とした。

【0031】1000°Cで1時間熱処理してイオン注入した不純物を活性化し、欠陥をアニールし、nドリフト領域22a、p仕切り領域22b、 p^+ アノード領域23の各領域を形成する【同図(d)】。この後、カソード電極27、アノード電極28の形成をおこないプロセスを完了する。

【0032】p仕切り領域22b形成のためのイオン注入時の最高加速電圧を高くし、しかも加速電圧を連続的に変化させたために、p仕切り領域22bとnドリフト領域22aとの間のpn接合は、深くて滑らかな接合面となる。

【0033】特に例えば(110)面のような特定の結晶方位を選ぶことにより、イオンのチャネリングを利用して、通常のイオン注入の倍以上の深いイオン注入領域を形成することができる。

【0034】本実施例1の超接合ダイオードにおいては、nドリフト領域22aとp仕切り領域22bとは、ほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層22が空乏化して耐圧を担うものである。

【0035】従来の単層の高抵抗ドリフト層を持つダイオードでは、300Vクラスの耐圧とするためには、ドリフト層の不純物濃度としては $2 \times 10^{14} \text{ cm}^{-3}$ 、厚さ40μm程度必要であったが、本実施例の超接合ダイオードでは、nドリフト領域22aの不純物濃度を高くしたことと、そのことによりドリフト層22の厚さを薄くできたため、オン抵抗としては約5分の1に低減できた。

【0036】このような製造方法をとれば、アスペクト比の大きなトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという従来極めて困難であった技術が回避されて、極めて一般的な技術であるエピタキシャル成長、イオン注入および拡散により、容易に高耐圧、低順電圧の超接合ダイオードが製造できる。

【0037】更にnドリフト領域22aの幅を狭くし、不純物濃度を高くすれば、より一層の動作抵抗の低減、および動作抵抗と耐圧とのトレードオフ関係の改善が可能である。

【0038】図1(b)は、実施例1の変形例の超接合ダイオードの部分断面図である。実施例1の超接合ダイオードと異なっている点は、p仕切り領域22bの深さ y_p がnドリフト領域22aの深さ y_n より深くなっている点である。

【0039】もし仮にp仕切り領域22bの深さ y

8

p が、nドリフト領域22aの深さ y_n より浅い場合には、p仕切り領域22bの下方にnドリフト領域22aが残ることになり、残ったnドリフト領域22aが完全に空乏化されず、耐圧が低下する恐れがある。従って、図のようにp仕切り領域22bの深さ y_p がnドリフト領域22aの深さ y_n より深くなるようにし、 n^+ カソード層21に達するようにするのが良い。

【0040】但し、 y_p が極端に y_n より大きくすることは無駄なので、20%程度を目安にして、

$y_n < y_p \leq 1.2 y_n$ が成り立つ程度にする。これにより、並列pn層での耐圧保持と、順電圧の低減とが両立する。

【0041】p仕切り領域22bの深さ y_p を深くするには、イオン注入の際の加速電圧を高くすれば良い。イオン注入の加速電圧を高めて、更に高耐圧のダイオードを造ることもできる。

【0042】なお、実施例1の超接合ダイオードでは、nドリフト領域22bとp仕切り領域22bとの平面的な配置をともにストライプ状としたが、それに限らず、一方を格子状や網状、蜂の巣状等様々な配置とすることができます。これは以後の例でも同様である。

【0043】また全く同様にして、p仕切り領域22aをエピタキシャル法により形成し、そこへドナー不純物をイオン注入してnドリフト領域22bを形成することもできる。

【実施例2】図4は、本発明の実施例2の超接合ダイオードの部分断面図である。

【0044】実施例1の超接合ダイオードと異なっている点は、p仕切り領域32bの形状が異なっている点である。図4において、p仕切り領域32bとnドリフト領域32aとの境界は、曲線(三次元的には曲面)となっている。

【0045】図5は、図4中のD-D線に沿っての不純物濃度分布図である。縦軸は対数表示した不純物濃度である。図5においては、 p^+ アノード領域33に続きイオン注入された離散的な不純物源からの拡散によるp仕切り領域32bの濃度分布が見られ、更に低抵抗の n^+ カソード層31が現れている。nドリフト領域32aはエピタキシャル層であるからほぼ均一な不純物濃度であり、実施例1の図2(c)と同様の不純物分布となる。

【0046】実施例2の超接合ダイオードの製造方法としては、図3(b)の後、Bイオン2のイオン注入時に、加速電圧を連続的に変えず、例えば、100keV、200keV、500keV、1MeV、2MeV、5MeV、10MeVというように変えて多重注入すればよい。

【0047】この場合も、極めて一般的な技術であるエピタキシャル成長、イオン注入および拡散により、容易に高耐圧、低順電圧の超接合ダイオードが製造できる。

(6)

9

低耐圧の半導体装置で、ドリフト層が浅くて良いときは、多重イオン注入をおこなわなくても、一回のイオン注入でドリフト層を形成できる場合もある。

【0048】[実施例3]図1(b)のような超接合ダイオードを別の製造方法で造ることもできる。図6

(a)ないし(e)は、実施例3の超接合ダイオードの製造方法を説明するための工程順の断面図である。以下図面に沿って説明する。

【0049】高抵抗のn型ウェハに一方の表面から深い拡散をおこないn⁺カソード層41を形成する。42cは高抵抗のn⁻高抵抗層である。[図6(a)]。両面から拡散をおこなった後、一方を除去しても良い。

【0050】CVD法により例えればW膜を厚さ約3μmに堆積し、フォトリソグラフィにより第一マスク1を形成し、りん(以下Pと記す)イオン3aをイオン注入する[同図(b)]。加速電圧は100keV~15MeV間を連続的に変化させ、均等に約2×10¹⁶cm⁻³になるようにする。3bは注入されたPイオンである。

【0051】第一マスク1を除去した後、同様にして第二マスク4を形成し、Bイオン2aをイオン注入する

[同図(c)]。加速電圧は100keV~10MeV間を連続的に変化させ、均等に約2×10¹⁶cm⁻³になるようにする。

【0052】第二マスク4を除去した後、p⁺アノード領域43形成のためのBイオン2aを注入する[同図(d)]。加速電圧は100keV、ドーズ量は3×10¹⁵cm⁻²とした。

【0053】1000℃で1時間熱処理してイオン注入した不純物を活性化し、欠陥をアニールし、nドリフト領域42a、p仕切り領域42b、p⁺アノード領域43の各領域を形成する[同図(e)]。n⁻高抵抗層42cはダイオード中央部では残らず、周縁の耐圧保持部分のみに残ることになる。この後、カソード電極、アノード電極の形成をおこないプロセスを完了する。

【0054】この例でも、イオン注入時の最高加速電圧を高くし、しかも連続的に変化させたために、p仕切り領域42bとnドリフト領域42aとの間のpn接合は、深くて滑らかな接合面となる。そして、極めて一般的な技術であるイオン注入および拡散により、容易に高耐圧、低順電圧の超接合ダイオードが製造できる。

【0055】本実施例3の超接合ダイオードにおいても、nドリフト領域42aとp仕切り領域42bとは、ほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層42が空乏化して耐圧を担う。以上のようにすれば、イオン注入と熱処理を主体にしたプロセスで、超接合半導体素子を製造できる。

【0056】図1(a)のようにnドリフト領域42aとp仕切り領域42bとをほぼ同じ深さにイオン注入しても良いし、また実施例2のようにイオン注入を離散的

10

な加速電圧でおこなうこともできる。

【0057】本実施例では、n⁺カソード層41をn⁻高抵抗領域42cとなる高抵抗基板への拡散により形成した例としたが、n⁺カソード層41となる低抵抗サブストレート上にエピタキシャル成長により形成したエピタキシャルウェハを用いても良い。

【実施例4】図7は、本発明の実施例4の超接合ダイオードの部分断面図である。

【0058】図7において、51は低抵抗のn⁺カソード層、52はnドリフト領域52aとp仕切り領域52bとからなるドリフト層である。表面層にはp⁺アノード領域53が形成されている。p⁺アノード領域53に接触してアノード電極58が、n⁺カソード層51に接触してカソード電極57が設けられている。

【0059】図1(b)の断面図と同じように見えるが、製造方法が異なっているため半導体内部の構造が異なっている。すなわち、図1(b)の例では、nドリフト領域12aがエピタキシャル法によるものであり、ほぼ均一な不純物濃度分布を有していたのに対し、本実施例3の超接合ダイオードでは、nドリフト領域32aが表面からの不純物拡散による分布を有している。

【0060】図8は、図7中のE-E線に沿った不純物濃度分布図である。縦軸は対数表示した不純物濃度である。図8において、表面層のp⁺アノード領域53に続きnドリフト領域52aの表面からの拡散による濃度分布が見られ、更に低抵抗のn⁺カソード層51が現れている。

【0061】図9(a)ないし(e)は、本実施例4の超接合ダイオードの製造方法を説明するための工程順の断面図である。以下図面に沿って説明する。高抵抗のn型ウェハに一方の表面から深い拡散をおこないn⁺カソード層51を形成し、n⁻高抵抗層52cの表面にPイオン3aを注入する[図9(a)]。加速電圧は100keVとし、ドーズ量は約2×10¹³cm⁻²である。

【0062】1250℃で約10時間の拡散をおこなって、n⁺カソード層51に達するようにnドリフト領域52aを形成する[同図(b)]。従って、n⁻高抵抗層52cはダイオード中央部では残らず、周縁の耐圧保持部分のみに残ることになる。

【0063】CVD法によりW膜を厚さ約3μmに堆積し、フォトリソグラフィにより第一マスク1を形成し、Bイオン2aをイオン注入する[同図(c)]。加速電圧は100keV~10MeV間を連続的に変化させ、均等に約2×10¹⁶cm⁻³になるようにする。

【0064】第一マスク1を除去し、pアノード領域53形成のためのBイオン2aを選択的に注入する[同図(d)]。1000℃で1時間熱処理し、イオン注入した不純物を活性化し、欠陥をアニールし、p仕切り領域52b、p⁺アノード領域53の各領域を形成する[同図(e)]。この後、カソード電極、アノード電極の形

(7)

11

成をおこないプロセスを完了する。

【0065】例えば、300Vクラスのダイオードとしては、各部の寸法および不純物濃度等は次のような値をとる。n⁺ カソード層11の表面不純物濃度 $3 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ200μm、nドリフト領域12aの幅3μm、表面不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、拡散深さ10μm、p仕切り領域12bの幅3μm、平均不純物濃度 $2 \times 10^{16} \text{ cm}^{-3}$ 、p⁺アノード領域13の拡散深さ1μm、表面不純物濃度 $5 \times 10^{19} \text{ cm}^{-3}$ である。この場合も極めて一般的な技術であるイオン注入および拡散により、容易に高耐圧、低順電圧の超接合ダイオードが製造できる。

【0066】全く同様にして、p仕切り領域52bを拡散により形成し、そこへドナー不純物をイオン注入してnドリフト領域52aを形成することもできる。n⁻高抵抗領域52cは、n⁺カソード層51となる低抵抗サブストレート上にエピタキシャル成長により形成したエピタキシャルウェハを用いても良い。

【0067】図1(a)のようにnドリフト領域52aとp仕切り領域52bとをほぼ同じ深さにイオン注入しても良いし、また実施例2のようにイオン注入を離散的な加速電圧でおこなうこともできる。

【0068】【実施例5】図10は、本発明の実施例5の超接合ダイオードの部分断面図である。図10において、61は低抵抗のn⁺カソード層である。nドリフト領域62aとp仕切り領域62bとからなるドリフト層62の表面層にはp⁺アノード領域63が形成されている。p⁺アノード領域63に接触してアノード電極68が、n⁺カソード層61に接触してカソード電極67が設けられている。

【0069】図1(b)の断面図と同じように見えるが、製造方法が異なっているため半導体内部の構造が異なっている。すなわち、本実施例5の超接合ダイオードでは、nドリフト領域62aおよびp仕切り領域62bが共に表面からの不純物拡散による分布を有している。

【0070】図11は、図10中のE-E線に沿っての不純物濃度分布図である。縦軸は対数表示した不純物濃度である。図11においては、表面からの拡散によるp⁺アノード領域63に続き表面からの不純物拡散で形成されたp仕切り領域62bの濃度分布が見られ、更に低抵抗のn⁺カソード層61が現れている。nドリフト領域62a内の不純物濃度分布は示していないがp仕切り領域62bの濃度分布とほぼ同様である。

【0071】図12(a)ないし(e)は、実施例5の超接合ダイオードの製造方法を説明するための工程順の断面図である。以下図面に沿って説明する。高抵抗のn型ウェハに一方の表面から深い拡散をおこないn⁺カソード層61を形成する。62cは高抵抗のn⁻高抵抗層である。【図12(a)】。

【0072】そのn⁻高抵抗層62cの表面に酸化膜の

12

第一マスク5を形成し、Bイオン2aを注入する【同図(b)】。2bは注入されたB原子である。加速電圧は100keV、ドーズ量は $7 \times 10^{12} \text{ cm}^{-2}$ である。

【0073】1200℃で30時間熱処理した後、酸化膜の第二マスク6を形成し、Pイオン3aを注入する【同図(c)】。3bは注入されたP原子である。加速電圧は100keV、ドーズ量は $7 \times 10^{12} \text{ cm}^{-2}$ である。不純物のドーピング方法は必ずしもイオン注入に限らず、ガストーピングでも良い。但し拡散係数の遅い不純物を先におこなって熱処理する。

【0074】1200℃で約50時間熱処理して、n⁺カソード層61に達するようにnドリフト領域62aおよびp仕切り領域62bを形成する。従って、n⁻高抵抗層62cはダイオード中央部では残らず、周縁の耐圧保持部分のみに残ることになる。その後、pアノード領域63形成のためのBイオン2aを注入する【同図(d)】。

【0075】1000℃で1時間熱処理し、イオン注入した不純物を活性化し、欠陥をアニールし、nドリフト領域62a、p仕切り領域62b、p⁺アノード領域63の各領域を形成する【同図(e)】。この後、カソード電極、アノード電極の形成をおこないプロセスを完了する。このような極めて一般的な技術であるエピタキシャル成長、イオン注入および拡散により、容易に高耐圧、低順電圧の超接合ダイオードが製造できる。

【0076】BはPより遅い拡散係数をもつので、上記のような工程としたが、別のドナー不純物とアクセプタ不純物との組み合わせでもよく、その場合には拡散時間を変える必要がある。

【実施例6】これまでの実施例は、最も簡単な構造のダイオードとしたが、図13は、本発明の実施例6の超接合ショットキーバリアダイオード(SBD)の部分断面図である。

【0077】図13において、71は低抵抗のn⁺カソード層、72は、nドリフト領域72a、p仕切り領域72bからなるドリフト層である。表面には、nドリフト領域72aとp仕切り領域72bが露出していて、nドリフト領域72aとショットキーバリアを形成するショットキーベアリヤ78が設けられる。n⁺カソード層71の裏面側にオーミック接触するカソード電極77が設けられている。

【0078】本実施例6の超接合ショットキーダイオードにおいても、nドリフト領域72a、p仕切り領域72bは、ほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して、ドリフト層72が空乏化して耐圧を負担するものである。例えば上に述べた実施例1と同様のプロセスで並列pn層を形成した後、ショットキーベアリヤ78、カソード電極77の形成をおこなう。勿論実施例2～実施例5のいずれかの方法によっても良い。

(8)

13

【0079】逆バイアス時には、図1の実施例1のダイオードと同様に空乏層が並列pn層に広がり、空乏化することにより、耐圧を保持できる。順バイアス時には、nドリフト領域72aにドリフト電流が流れる。nドリフト領域72a、p仕切り領域72bの幅および深さ等については、実施例1と同様である。

【0080】図14は、実施例1と同様のプロセスでドリフト層72を形成した300Vクラスの超接合ショットキーダイオードの順電圧-電流特性図である。横軸は順電圧(V_F)、縦軸は単位面積当たりの順電流

(I_F)である。ショットキー電極78としては、モリブデンを用いた。比較のため従来の均一なドリフト層をもつショットキーバリアリーダイオードの特性も同図に示した。図から、同耐圧クラスの順方向電圧(V_F)は、従来のショットキーバリアリーダイオードより大幅に低減可能であることがわかる。

【0081】n埋め込み領域72b、p埋め込み領域72cは容易に空乏化されるため、不純物濃度を高くできることと、そのことによりドリフト層72の厚さを薄くできることにより、順電圧の大幅な低減、順電圧と耐圧とのトレードオフ特性の改善が可能となる。

【0082】このようにショットキーバリアリーダイオードにおいても極めて一般的な技術であるイオン注入と不純物の拡散により、容易に高耐圧、低順電圧の超接合ショットキーバリアリーダイオードを製造できる。

【実施例7】図15は、本発明の実施例7にかかる超接合MOSFETの部分断面図である。

【0083】図15において、81は低抵抗のn⁺ドレイン層、82はnドリフト領域82a、p仕切り領域82bとからなる並列pn層のドリフト層である。表面層には、nドリフト領域82aに接続してnチャネル領域82dが、p仕切り領域82bに接続してpウェル領域83aがそれぞれ形成されている。pウェル領域83aの内部にn⁺ソース領域84が形成されている。n⁺ソース領域84とnチャネル領域82dとに挟まれたpウェル領域83aの表面上には、ゲート絶縁膜85を介してゲート電極層86が、また、n⁺ソース領域84とpウェル領域73aの表面に共通に接触するソース電極87が設けられている。n⁺ドレイン層81の裏面にはドレイン電極88が設けられている。89は表面保護および安定化のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス(PSG)からなる。ソース電極87は、図のように絶縁膜89を介してゲート電極層86の上に延長されることが多い。ドリフト層82のうちドリフト電流が流れるのは、nドリフト領域82aである。

【0084】なお、nドリフト領域82aとp仕切り領域82bとの平面的な配置をともにストライプ状としたが、それに限らず、一方を格子状や網状、蜂の巣状等様々な配置とすることができます。

【0085】また、表面層のpウェル領域83aとp仕

14

切り領域82bとは平面的な形状が同様でなければならない訳ではなく、接続が保たれていれば、全く異なるパターンとしても良い。例えば、両者をストライプ状とした場合に、それらが互いに直交するストライプ状することもできる。

【0086】本実施例7の超接合MOSFETにおいても、nドリフト領域82a、p仕切り領域82bは、ほぼ同じディメンジョンと不純物濃度を持ち、逆バイアス電圧の印加に際して空乏化して耐圧を負担するものである。

【0087】その製造方法としては、次のような工程を取る。実施例1～実施例5のいずれかと同様にして、n⁺ドレイン層81、nドリフト領域82a、p仕切り領域82bを形成する。

【0088】エピタキシャル法により、nチャネル領域82dを成長させる。通常の縦型MOSFETと同様にして、不純物イオンの選択的な注入および熱処理により、表面層にpウェル領域83a、n⁺ソース領域84を形成する。

【0089】この後、熱酸化によりゲート絶縁膜85を形成し、減圧CVD法により多結晶シリコン膜を堆積し、フォトリソグラフィによりゲート電極層86とする。更に絶縁膜89を堆積し、フォトリソグラフィにより窓開けをおこない、アルミニウム合金の堆積、パターン形成によりソース電極87、ドレイン電極88および図示されないゲート電極の形成を経て図15のような超接合MOSFETが完成する。

【0090】図15の超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極層86に所定の正の電圧が印加されると、ゲート電極層86直下のpウェル領域83aの表面層に反転層が誘起され、n⁺ソース領域84から反転層を通じてnチャネル領域82dに注入された電子が、nドリフト領域82aを通じてn⁺ドレイン層81に達し、ドレイン電極88、ソース電極87間が導通する。

【0091】ゲート電極層86への正の電圧が取り去られると、pウェル領域83aの表面層に誘起された反転層が消滅し、ドレイン・ソース間が遮断される。更に、逆バイアス電圧を大きくすると、各p仕切り領域82bはpウェル領域83aを介してソース電極87で連結されているので、pウェル領域83aとnチャネル領域82dとの間のpn接合J_a、p仕切り領域82bとnドリフト領域82aとのpn接合J_bおよび図示されないp仕切り領域82bとnチャネル領域82dとの間のpn接合からそれぞれ空乏層がnチャネル領域82d、nドリフト領域82a、p仕切り領域82b内に広がってこれらが空乏化される。

【0092】例えば、300VクラスのMOSFETとしては、nドリフト領域82aおよびp仕切り領域82bの寸法は、図1と同様とする。その他の各部の寸法お

より不純物濃度等は次のような値をとる。 n^+ ドレイン層8 1の比抵抗は $0.01\Omega \cdot cm$ 、厚さ $350\mu m$ 、 n^- 高抵抗層8 2 cの比抵抗 $10\Omega \cdot cm$ 、 p ウェル領域8 3 aの拡散深さ $1\mu m$ 、表面不純物濃度 $3 \times 10^{18} cm^{-3}$ 、 n^+ ソース領域8 4の拡散深さ $0.3\mu m$ 、表面不純物濃度 $1 \times 10^{20} cm^{-3}$ である。

【0093】従来の単層の高抵抗ドリフト層を持つ縦型MOSFETでは、 $300V$ クラスの耐圧とするためには、ドリフト層1 2の不純物濃度としては $2 \times 10^{14} cm^{-3}$ 、厚さ $40\mu m$ 程度必要であったが、本実施例の超接合MOSFETでは、 n ドリフト領域8 2 aの不純物濃度を高くしたことと、そのことによりドリフト層8 2の厚さを薄くできたため、オン抵抗としては約5分の1に低減できた。

【0094】数 μm の厚さのエピタキシャル成長とイオン注入で導入された不純物の拡散による埋め込み領域の形成は、極めて一般的な技術であり、容易にオン抵抗と耐圧とのトレードオフ特性が改善された超接合MOSFETを製造できる。

【0095】更に n ドリフト領域8 2 aの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、およびオン抵抗と耐圧とのトレードオフ関係の改善が可能である。

【0096】超接合MOSFETの変形例の断面図を図16に示す。この例では、 n ドリフト領域8 2 a、 p 仕切り領域8 2 bの下方に、 n^- 高抵抗層8 2 cがある。

【0097】 p 仕切り領域8 2 bの深さが、十分にあればこのようにその下方に、 n^- 高抵抗層8 2 cがあつてもよい。但し、 n ドリフト領域8 2 aと n^+ ドレイン層8 1との間に、 n^- 高抵抗層8 2 cが残ると、オン抵抗が増すことになる。また p 仕切り領域8 2 bから広がる空乏層が電流経路を狭めるJFET効果が起きるので、 n^- 高抵抗層8 2 cの厚さは余り厚くならないようにする方が良い。少なくとも p 仕切り領域8 2 bの厚さ y_p より薄くする方が良い。

【0098】超接合MOSFETの別の変形例の断面図を図17に示す。 p ウェル領域8 3 a内の表面層に高濃度の p^+ コンタクト領域8 3 bを形成したものである。 n^+ ソース領域8 4間に p^+ コンタクト領域8 3 bを配置することにより、 p ウェル領域8 3 aとソース電極8 7との接触抵抗が低減される。また p^+ コンタクト領域8 3 bの拡散深さを n^+ ソース領域8 4の深さより浅くすることにより p n 分割層の空乏化を妨げずに済むことになる。

【0099】以上のような本発明にかかる超接合構造は、実施例に示したダイオード、ショットキーバリアダイオード、MOSFETに限らず、バイポーラトランジスタ、IGBT、JFET、サイリスタ、MESFET、HEMT等の殆ど全ての半導体素子に適用可能である。また、導電型は逆導電型に適宜変更できる。

【0100】

【発明の効果】以上説明したように本発明は、第一と第二の正面と、それぞれの正面に設けられた電極と、第一と第二の正面間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層を備える超接合半導体素子の製造方法において、第一導電型ドリフト領域と第二導電型仕切り領域のうち少なくとも一方をイオン注入、特に加速電圧を連続的に変えたイオン注入や多重注入と熱処理により形成することを特徴としている。

【0101】他の方の領域となる層は、エピタキシャル成長や、表面からの拡散層とができる、また、両方の領域をイオン注入により形成することもできる。従って、次の効果を奏する。

【0102】従来のアスペクト比の大きいトレンチを形成し、そのトレンチ内に良質のエピタキシャル層を埋め込むという極めて困難であった技術に比して、イオン注入と熱処理という一般的な方法を主として容易に特徴ある並列 p n 層構造を実現できた。

【0103】そしてその結果、並列 p n 層の不純物濃度の高濃度化を可能にしたこと、およびそのことにより並列 p n 層の厚さを薄くできることにより、順電圧やオン抵抗或いはオン電圧の大幅な低減、順電圧やオン抵抗と耐圧とのトレードオフ特性の改善を可能にした。

【0104】本発明は、特に電力用の半導体素子において電力損失の劇的な低減を可能にした革新的な素子を実現するものである。

【図面の簡単な説明】

【図1】(a) は本発明実施例1の超接合ダイオードの部分断面図、(b) は変形例の超接合ダイオードの部分断面図

【図2】(a) は図1の実施例1の超接合ダイオードのA-A線に沿った不純物濃度分布図、(b) はB-B線に沿った不純物濃度分布図、(c) はC-C線に沿った不純物濃度分布図

【図3】(a) ないし (d) は実施例1の超接合ダイオードの製造工程順に示した主な工程ごとの部分断面図

【図4】本発明実施例2の超接合ダイオードの部分断面図

【図5】図4の実施例2の超接合ダイオードのD-D線に沿った不純物濃度分布図

【図6】(a) ないし (e) は実施例3の超接合ダイオードの製造工程順に示した主な工程ごとの部分断面図

【図7】本発明実施例4の超接合ダイオードの部分断面図、

【図8】図7の実施例4の超接合ダイオードのE-E線に沿った不純物濃度分布図

【図9】(a) ないし (e) は実施例4の超接合ダイオードの製造工程順に示した主な工程ごとの部分断面図

(10)

17

【図10】本発明実施例5の超接合ダイオードの部分断面図、

【図11】実施例5の超接合ダイオードのF-F線に沿った不純物濃度分布図

【図12】(a)ないし(e)は実施例5の超接合ダイオードの製造工程順に示した主な工程ごとの部分断面図

【図13】本発明実施例6の超接合ショットキーバリアダイオードの部分断面図

【図14】本発明実施例6の超接合ショットキーバリアダイオードの順電圧-順電流特性図

【図15】本発明実施例7の超接合MOSFETの部分断面図

【図16】超接合MOSFETの変形例の部分断面図

【図17】超接合MOSFETの別の変形例の部分断面図

【図18】従来の超接合MOSFETの部分断面図

【符号の説明】

1	第一マスク
2 a	ほう素イオン
2 b	ほう素原子
3 a	燐イオン
3 b	燐原子
4	第二マスク
5	第一マスク

(10) 18

6 第二マスク

11、81 n⁺ ドレイン層

12、22、32、42、52、62、72、82 ドリフト層

12a、22a、32a、42a、52a、62a、72a、82a nドリフト領域

12b、22b、32b、42b、52b、62b、72b、82b p仕切り領域

13a、83a pウェル領域

14、84 n⁺ ソース領域

15、85 ゲート絶縁膜

16、86 ゲート電極層

17、87 ソース電極

18、88 ドレイン電極

19、89 絶縁膜

21、31、41、51、61、71 n⁺ カソード層23、33、43、53、63 p⁺ アノード領域

27、37、47、57、67、77 カソード電極

28、38、48、58、68 アノード電極

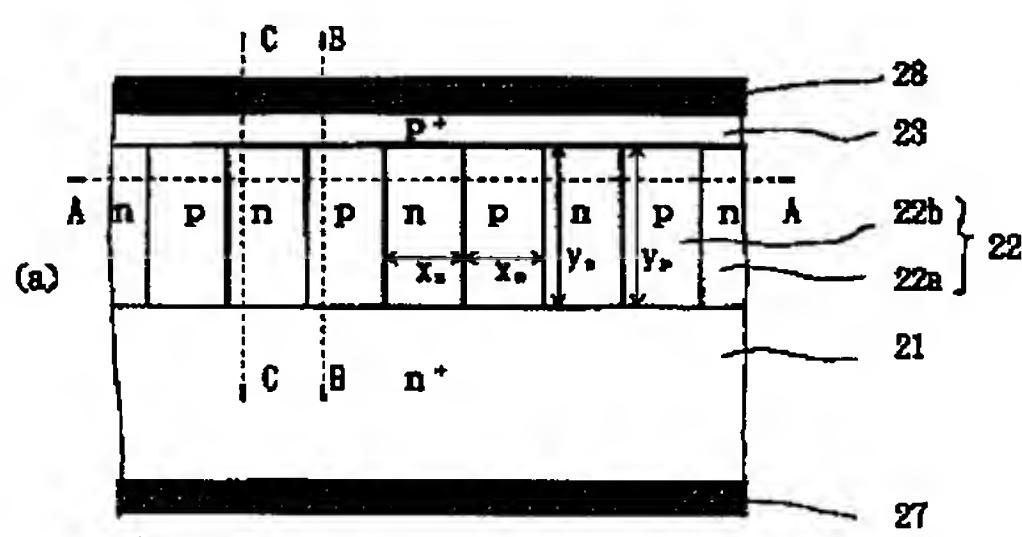
20 52c、62c、82c n⁻ 高抵抗層

78 ショットキーホール

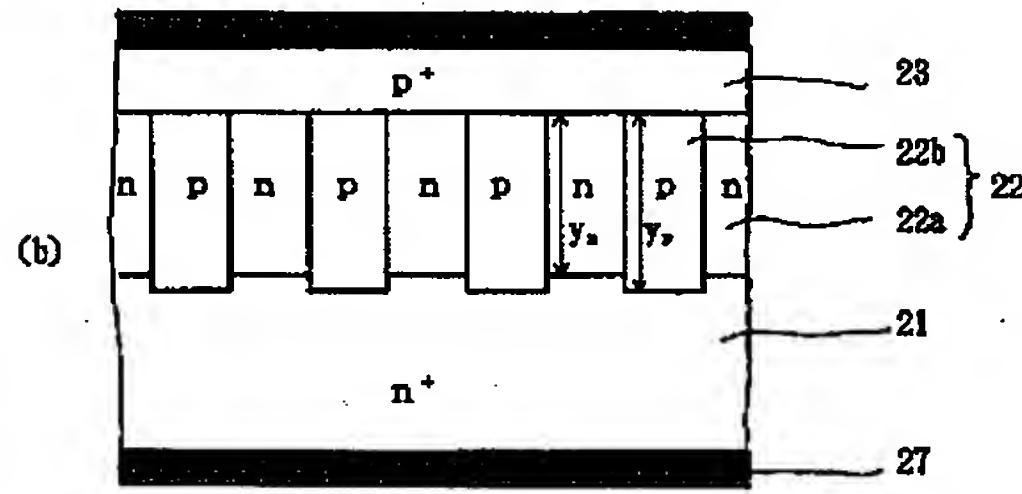
82d nチャネル領域

83b p⁺ コンタクト領域

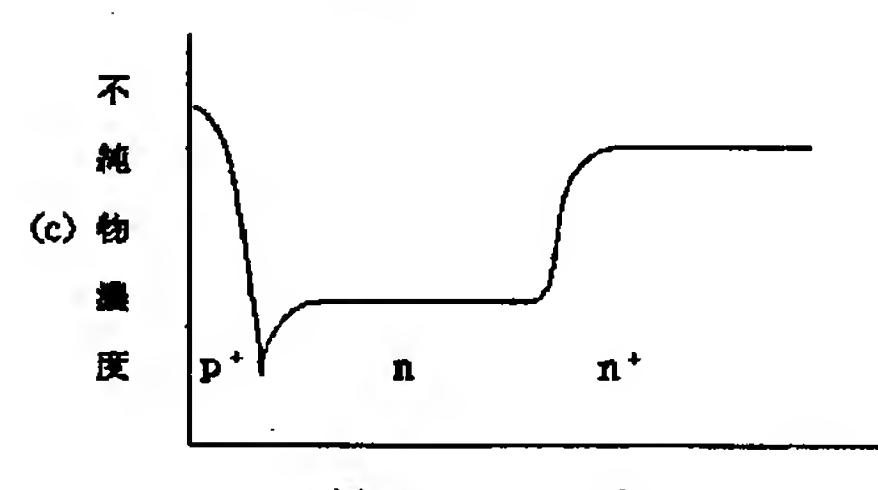
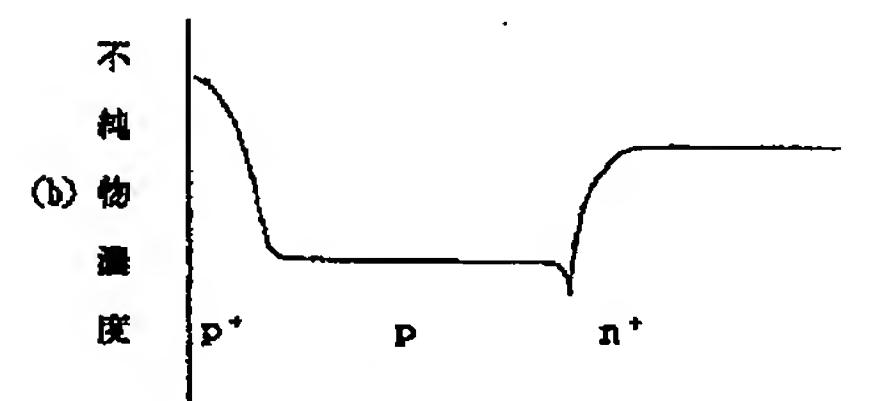
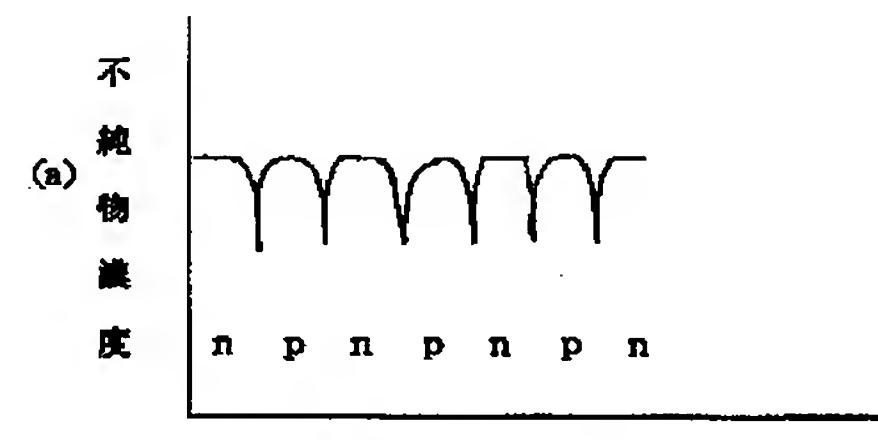
【図1】



21 n ⁺ カソード層	27 カソード電極
22a nドリフト領域	23 アノード電極
22b p仕切り領域	
23 p ⁺ アノード領域	

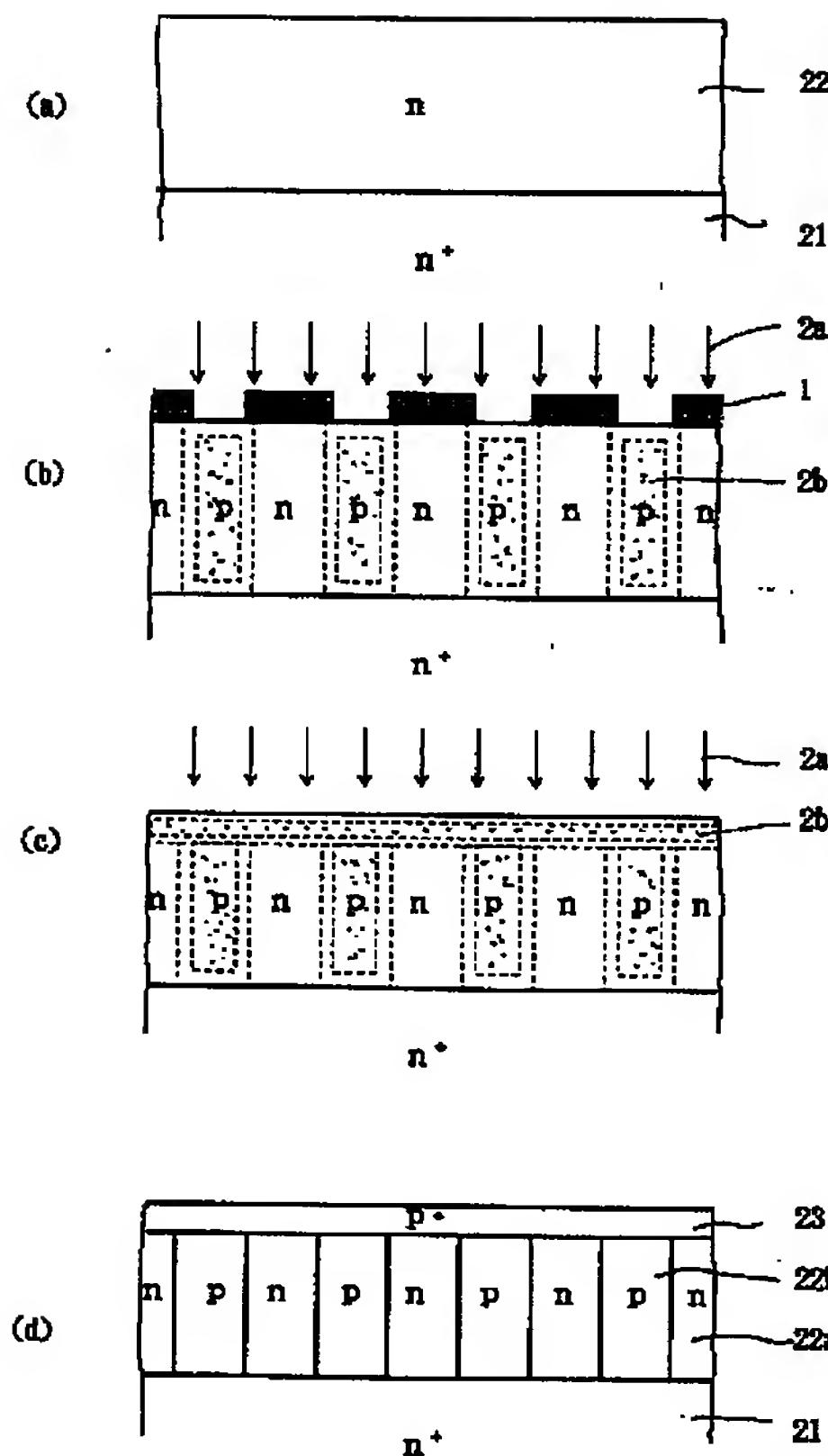


【図2】



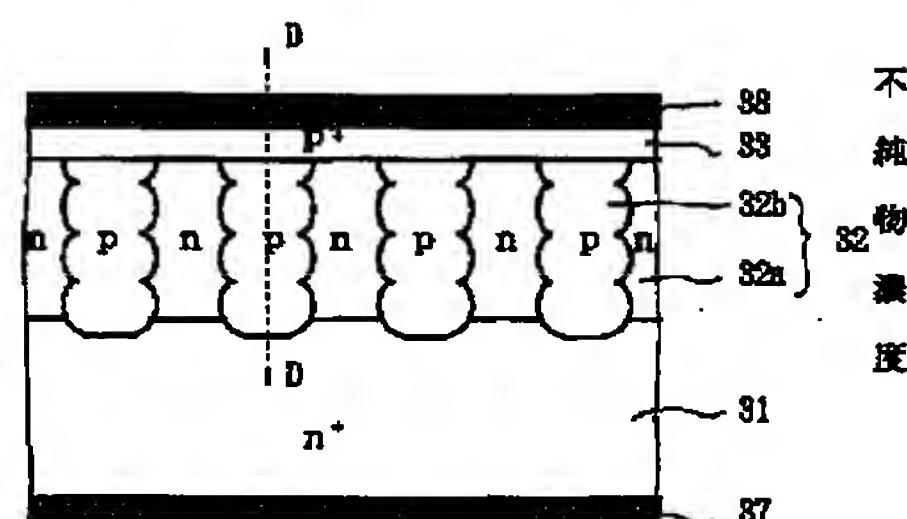
(11)

【図3】



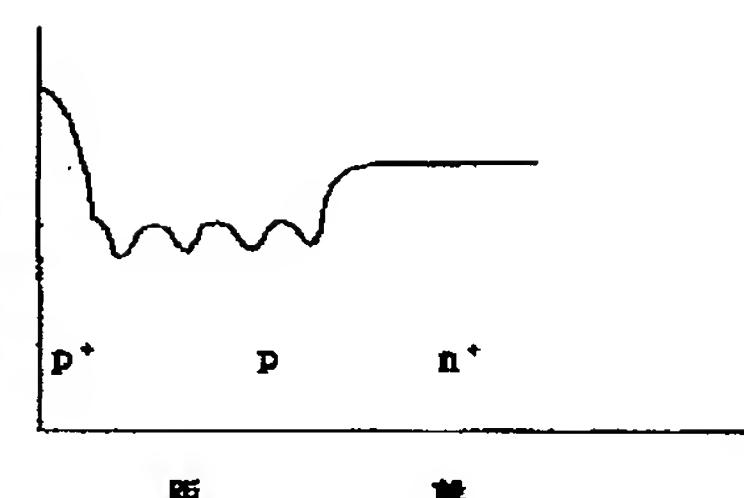
【図 7】

[四四]



〔四六〕

〔図5〕



〔四〕 6

(a) Schematic diagram of a detector structure. The top layer is labeled n^- with a thickness of 42. Below it is a layer labeled n^+ with a thickness of 41. The bottom layer consists of alternating n^- and n^+ regions, each with a thickness of 36, separated by a p^+ layer with a thickness of 1. Arrows indicate particles passing through the n^- and n^+ layers.

(b) Schematic diagram of a detector structure. The top layer is labeled n^- with a thickness of 38. Below it is a layer labeled n^+ with a thickness of 2a. The bottom layer consists of alternating n^- and p regions, each with a thickness of 4, separated by a n layer with a thickness of 2b. Arrows indicate particles passing through the n^- and p layers.

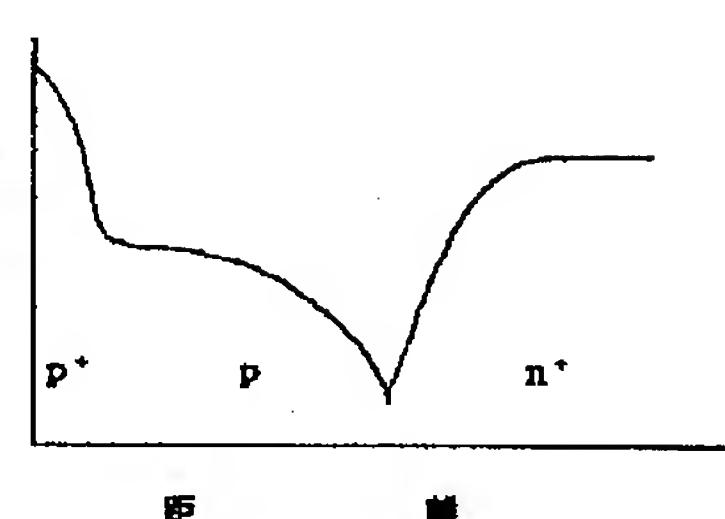
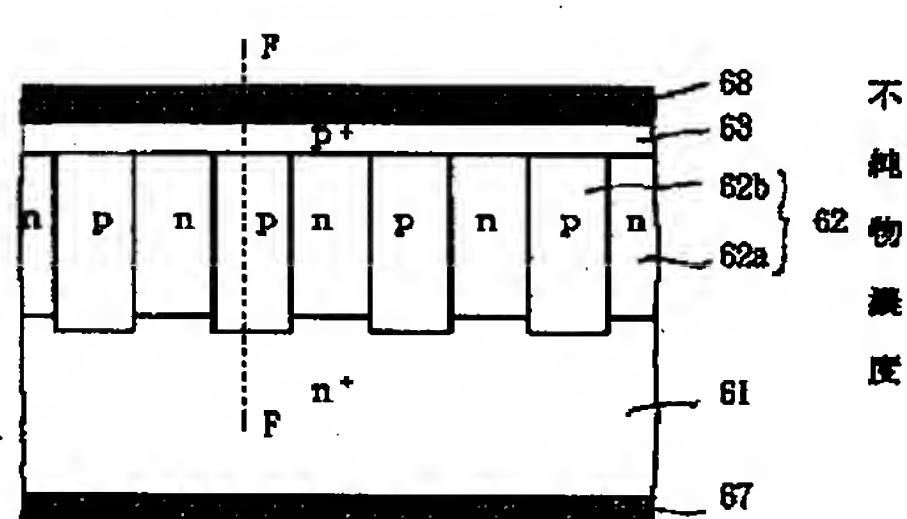
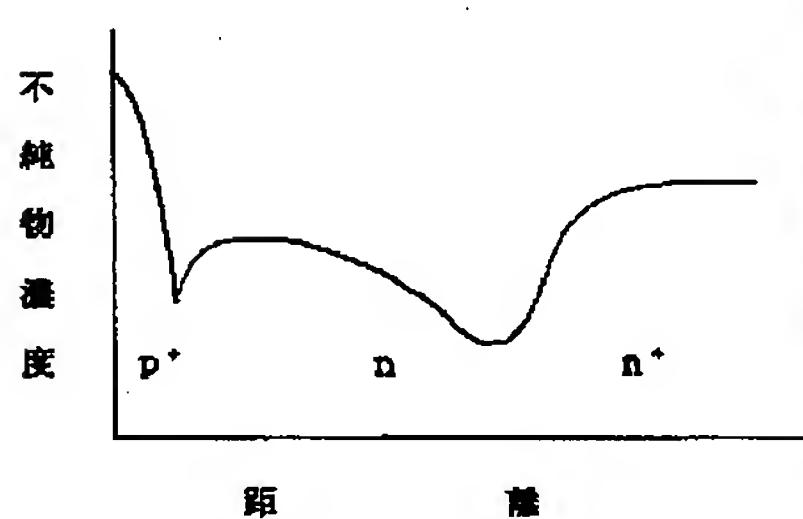
(c) Schematic diagram of a detector structure. The top layer is labeled n^- with a thickness of 38. Below it is a layer labeled p^+ with a thickness of 4. The bottom layer consists of alternating p and n regions, each with a thickness of 2b, separated by a n^- layer with a thickness of 8b. Arrows indicate particles passing through the p and n layers.

The diagram illustrates a diode structure with a top metal layer and a back contact. The top metal layer, labeled 2a, is shown with arrows indicating downward pressure. Below it is a thin insulating layer 2b. The diode structure consists of alternating n and p regions. The n regions are labeled n^+ and the p regions are labeled p . The back contact, labeled 43, is located at the top of the p^+ region. The bottom contact, labeled 42b, is located at the bottom of the n region. The entire structure is labeled 42a at the bottom.

〔图8〕

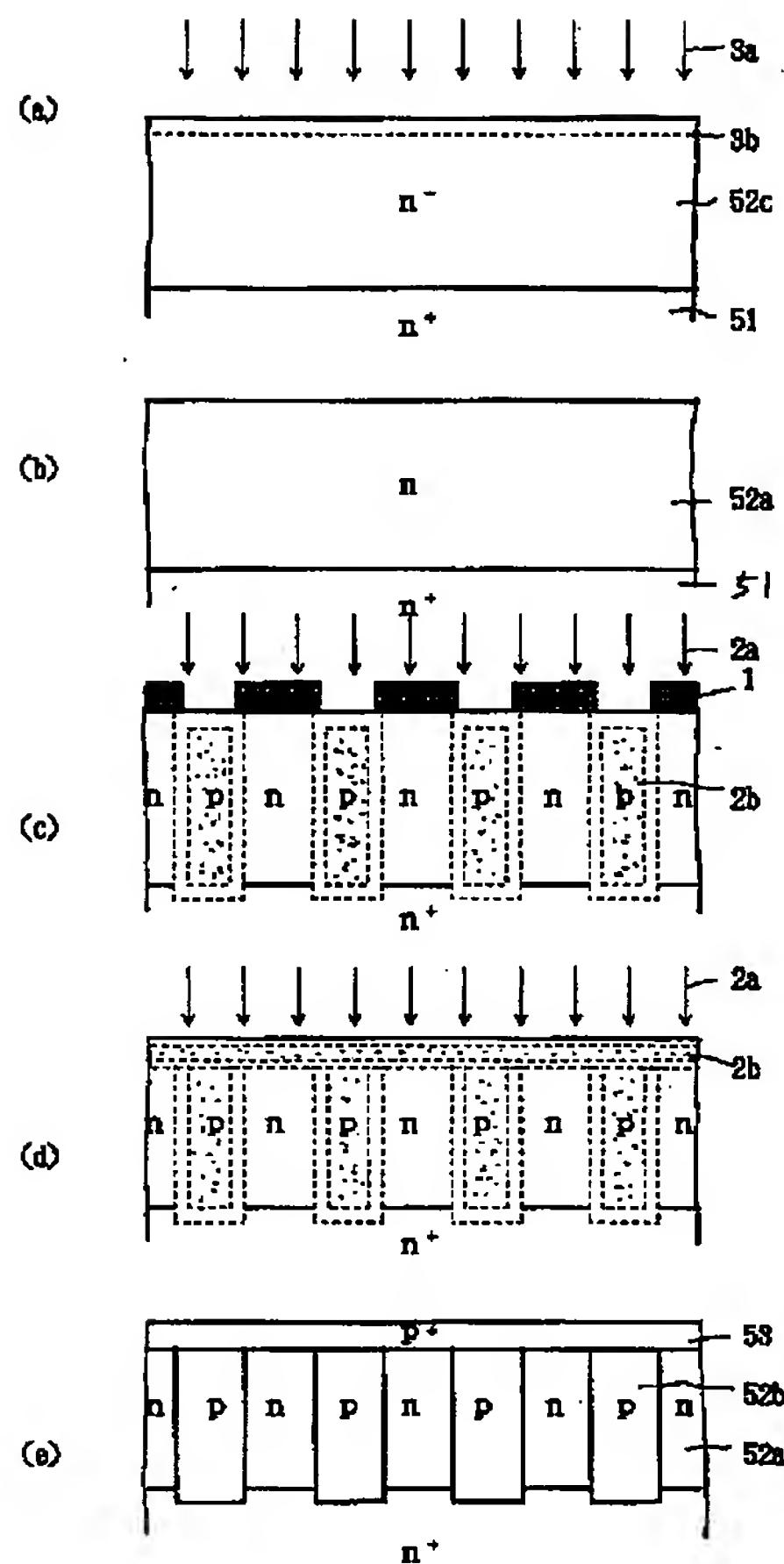
[図10]

[図11]

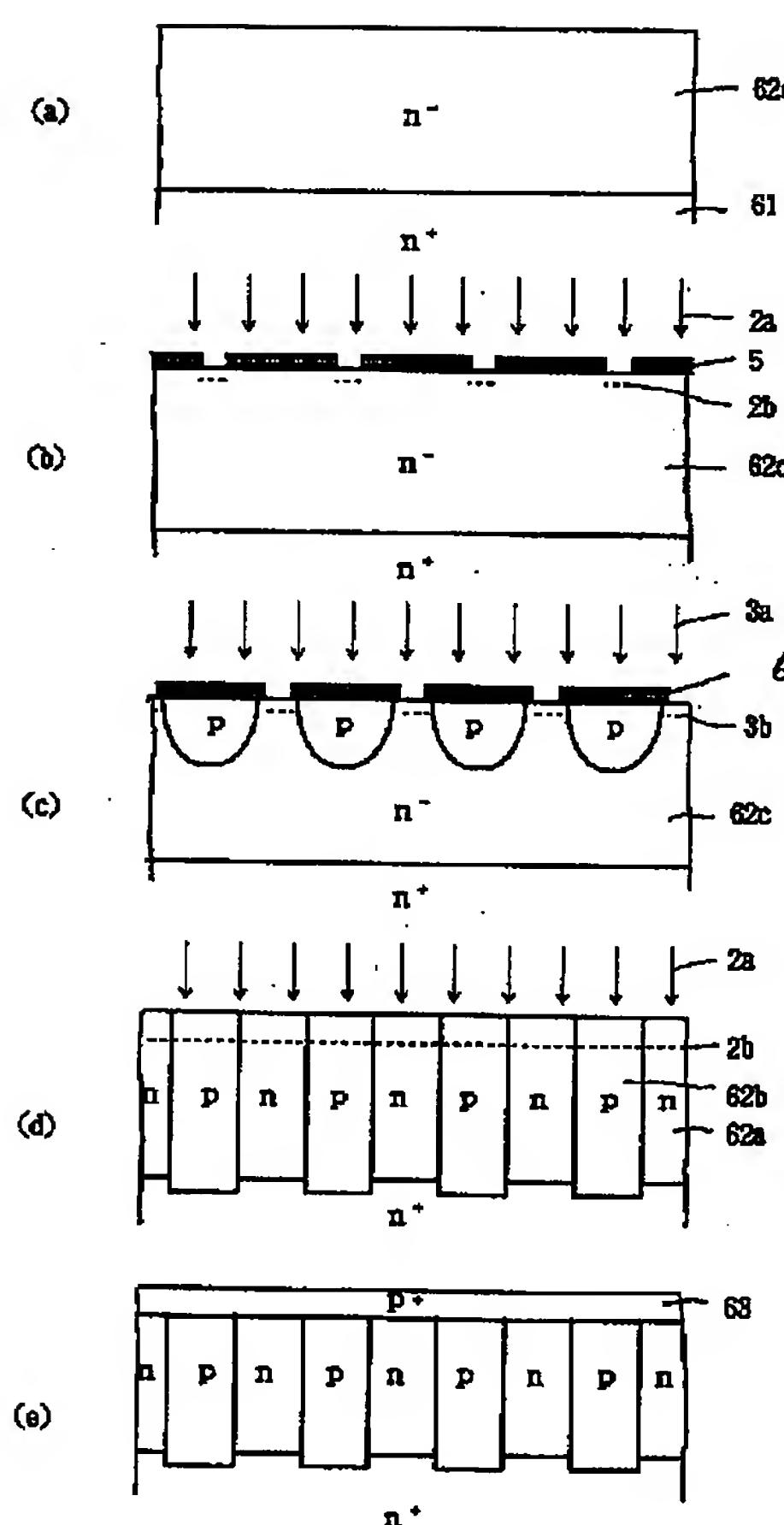


(12)

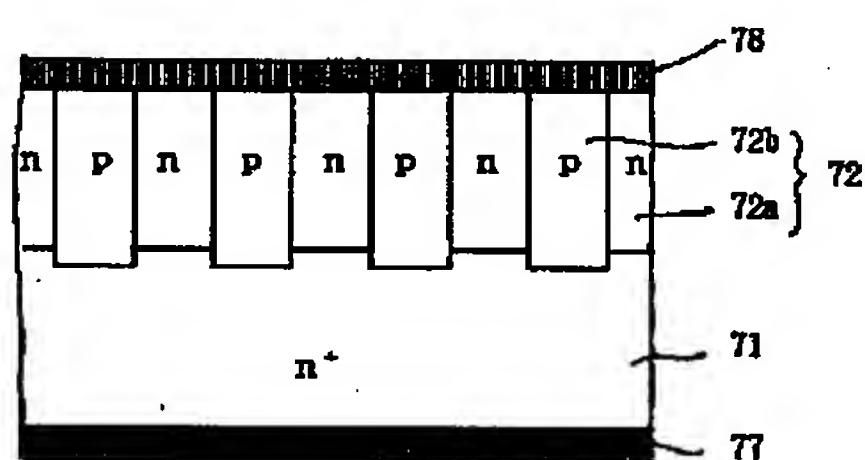
【図9】



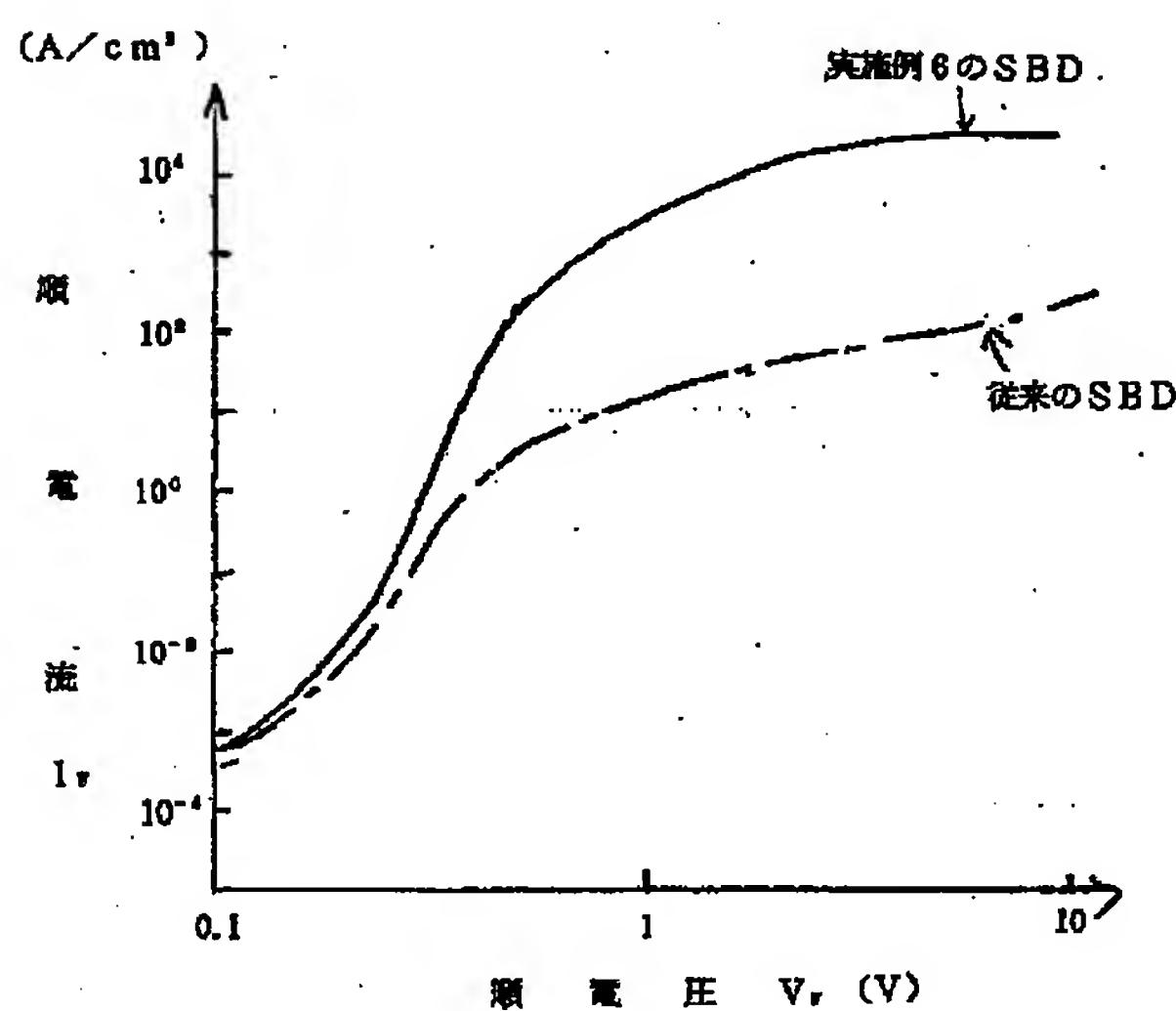
【图 12】



【図13】

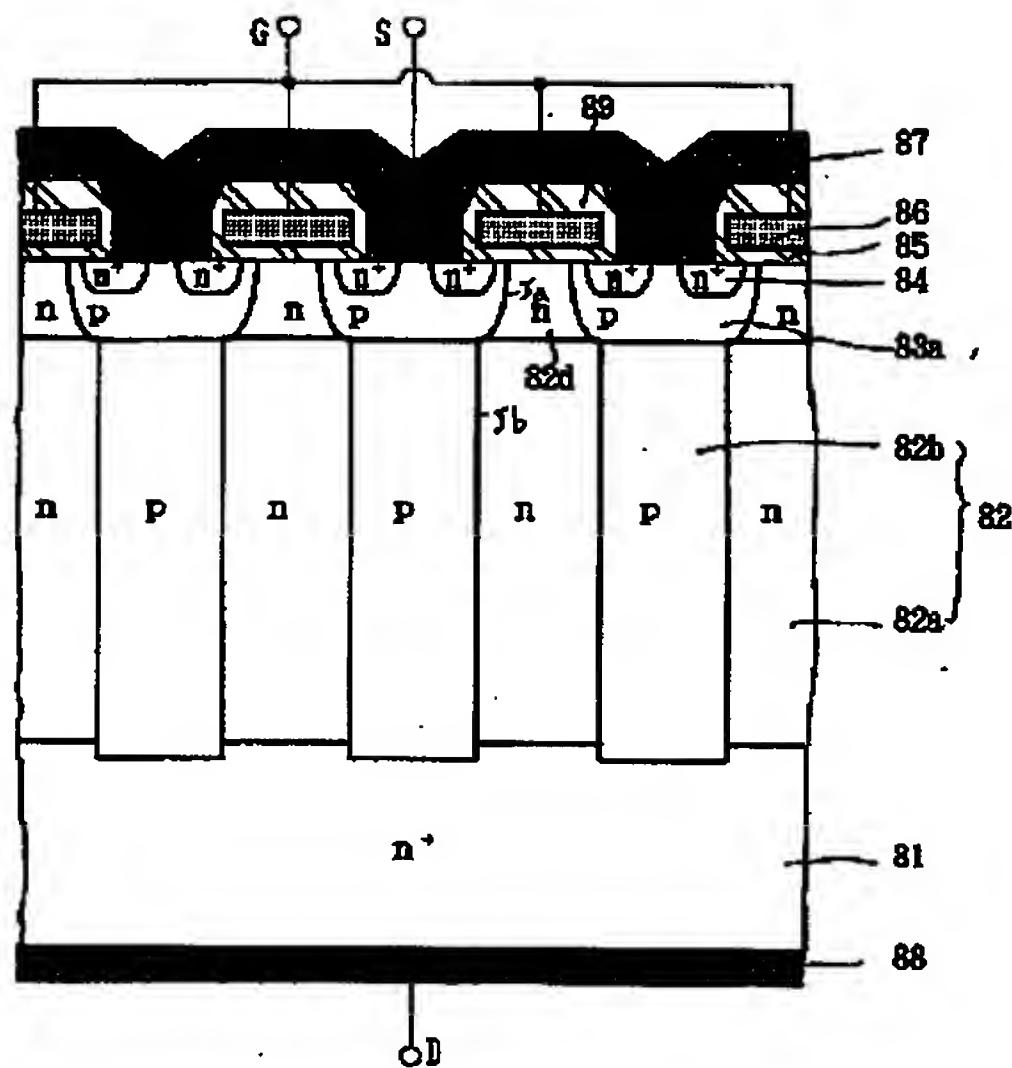


〔图14〕

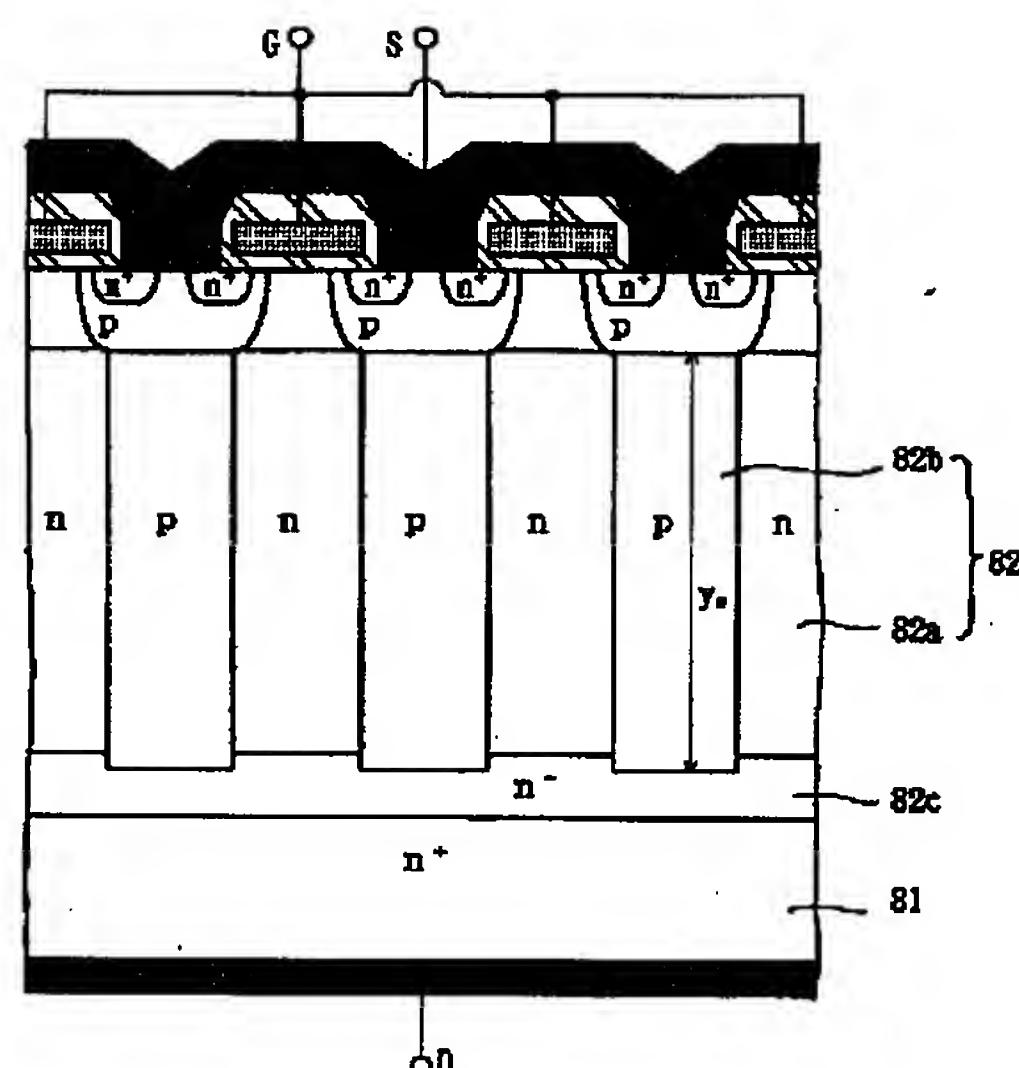


(13)

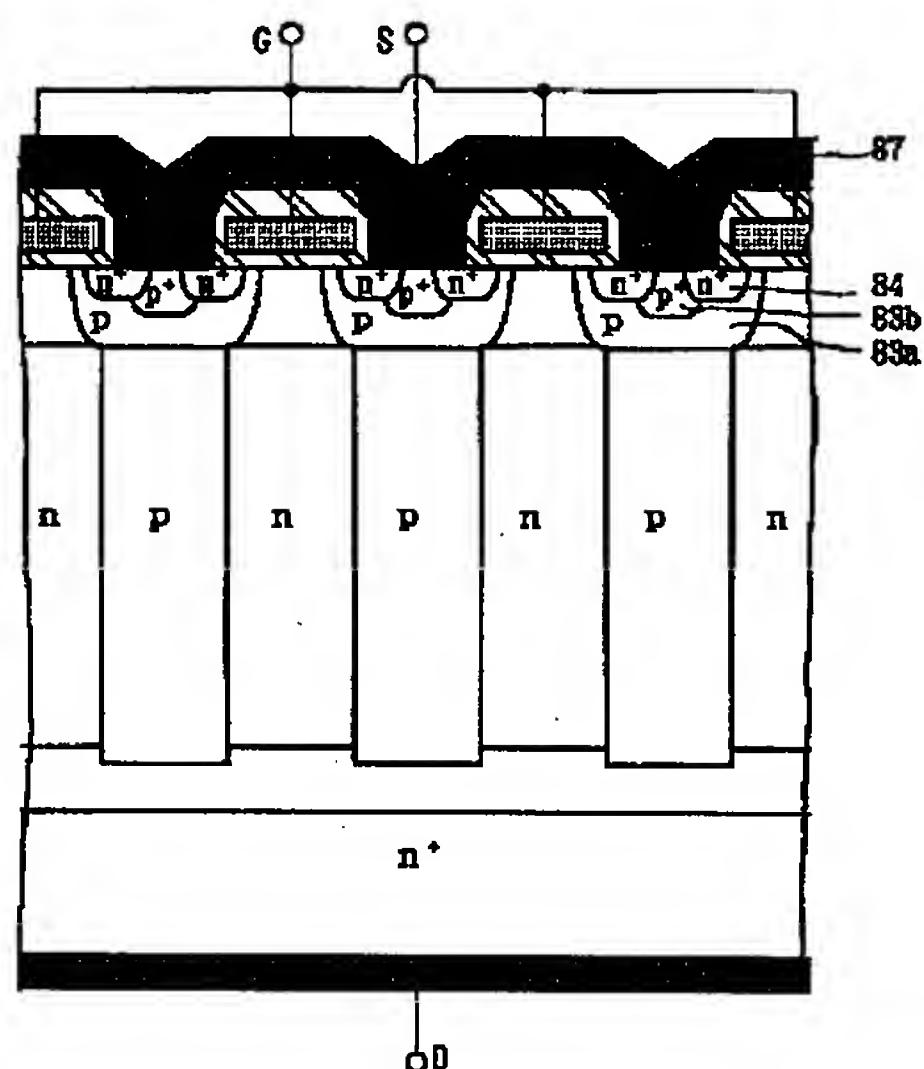
【図15】



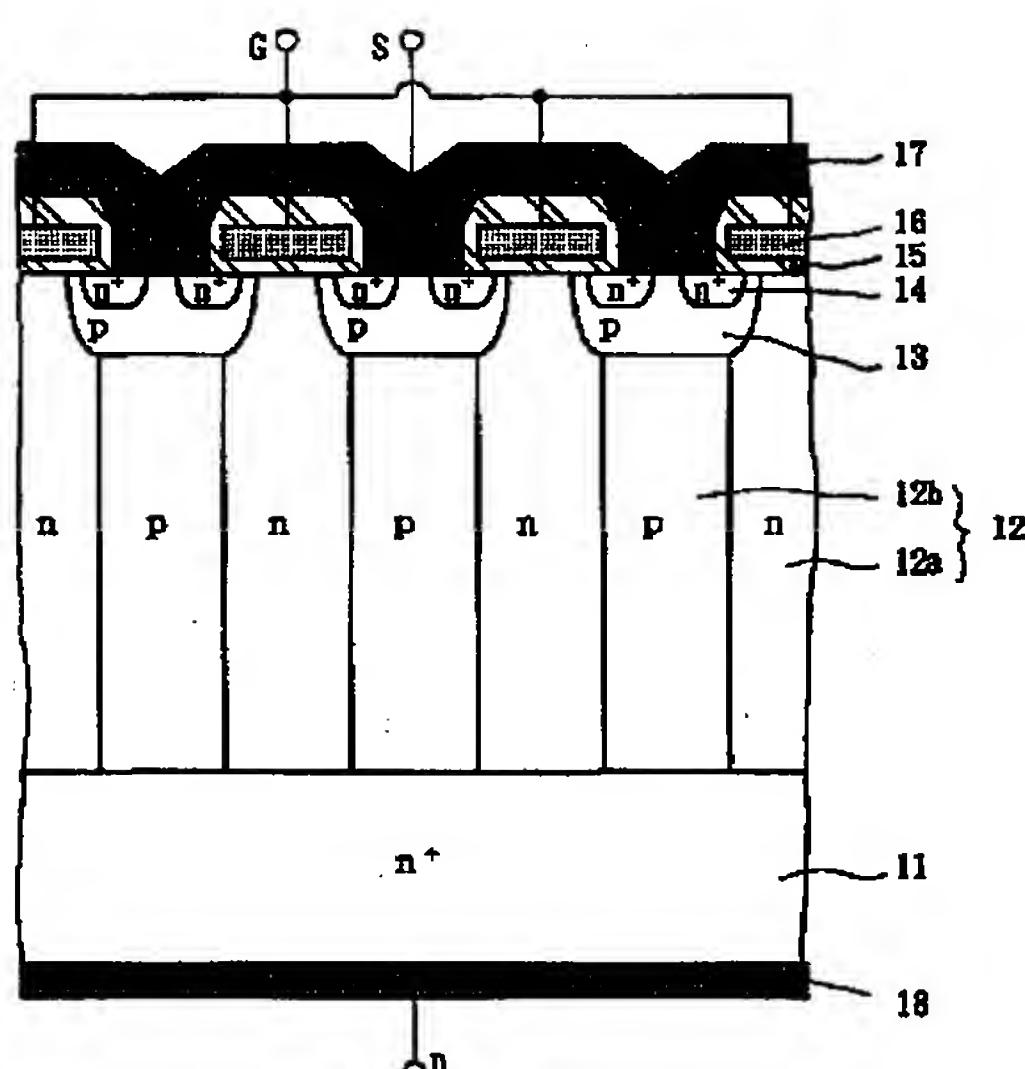
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 29/78
29/91

テーマコード (参考)

6 5 8 A
D